

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048022

(43)Date of publication of application : 26.02.1993

(51)Int.Cl. H01L 27/092

H01L 27/118

H01L 29/784

(21)Application number : 03-231066

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 20.08.1991

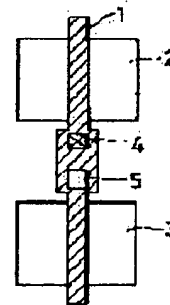
(72)Inventor : GOHARA MINORU
YAMAGOSHI YUKIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a master slice system semiconductor device where a penetration current based on an input signal time difference of a complimentary type MOS transistor constituting a basic cell is suppressed.

CONSTITUTION: A common gate electrode 1 is placed at a P-type diffusion region 2 which constitutes a P-channel MOS transistor and an N-type diffusion region 3 which constitutes an N-channel MOS transistor, a width of a gate electrode which exists at a region between the P-type diffusion region 2 and the N-type diffusion region 3 is made larger than that of a gate electrode which exists at both regions 2 and 3, and then a contact 5 which connects the gate electrode 1 and a first layer wiring and a through-hole 4 which connects the first layer wiring and the second layer wiring is provided on the wide gate electrode 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device of a master slice method equipped with a primitive cell constituted by making into a pair at least one P channel MOS transistor and at least one N-channel metal oxide semiconductor transistor which are characterized by providing the following, and carrying out each gate electrode in common Contact for constituting more widely than width of face of a gate electrode which exists in an active field width of face of a gate electrode which exists in a field field of the complementary MOS transistor which made common a gate electrode which constitutes said primitive cell, and connecting the 1st-layer wiring and a gate electrode on a gate electrode of said field field A through hole which connects the 1st-layer wiring and the 2nd-layer wiring

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device of the master slice method which comes to arrange two or more primitive cells.

[0002]

[Description of the Prior Art] The structure of the primitive cell in the semiconductor device of the conventional master slice method is indicated by JP,54-93375,A etc., and shows the layout of the primitive cell roughly to drawing 3. In drawing, the common gate electrode which formed 51 by polish recon, power supply Rhine in which 52 was formed with the 1st-layer wiring (the 1st aluminum wiring), the ground line in which 53 was similarly formed with the 1st-layer wiring, and 54 are contacts for a P type diffusion field and 55 to connect an N type diffusion field, and for 56 connect the gate electrode 51 and the 1st-layer wiring. And a primitive cell consists of one P channel MOS transistor which consists of gate electrodes 51 and P type diffusion fields 54, and one N-channel metal oxide semiconductor transistor which consists of gate electrodes 51 and N type diffusion fields 55, and one contact 56 for connection between the gate electrode 51 and the 1st-layer wiring is formed at a time in the field between the both ends of the gate electrode 51, a P channel MOS transistor, and an N-channel metal oxide semiconductor transistor, respectively. Moreover, power supply potential is supplied to the well of a P channel MOS transistor in power supply Rhine 52 prepared on the P channel MOS transistor field, and ground potential is supplied to the well of an N-channel metal oxide semiconductor transistor by the ground line 53 prepared on the N-channel metal oxide semiconductor transistor field.

[0003]

[Problem(s) to be Solved by the Invention] However, in the primitive cell in the semiconductor device of the master slice method of the conventional configuration, if a signal is inputted from the 1st-layer wiring connected through contact of the both ends of a gate electrode, a difference will arise [sake / of the polish recon from which the time amount which a signal spreads to a P channel MOS transistor and an N-channel metal oxide semiconductor transistor constitutes a gate electrode / resisted], and penetration current will also flow that much mostly. Moreover, since it is necessary to prepare the through hole for the connection outside the field of a primitive cell when using wiring of two or more layers, a limit arises to the feeder-line field. Moreover, although the gate may be used as wiring with automatic-layout wiring, for the resisted reason of the polish recon of a gate electrode, a gap of timing produces the signal after gate electrode passage by delay and the same signal in [signal / before gate electrode passage] that case.

[0004] This invention aims at offering the semiconductor device of the master slice method which was made in order to cancel the above-mentioned trouble in the semiconductor device of the conventional master slice method, can use a wiring field effectively, and could be made to lessen the input signal time difference to the complementary MOS transistor.

[0005]

[Means for Solving the Problem and its Function] In a semiconductor device of a master slice method equipped with a primitive cell constituted by this invention's making a pair at least one P channel MOS transistor and at least one N-channel metal oxide semiconductor transistor, and carrying out each gate electrode in common in order to solve the above-mentioned trouble Width of face of a gate electrode

which exists in a field of the complementary MOS transistor which made common a gate electrode which constitutes said primitive cell. It constitutes more widely than width of face of a gate electrode which exists in an active field, and a through hole which connects contact, and the 1st-layer wiring and the 2nd-layer wiring for connecting the 1st-layer wiring and a gate electrode is prepared on a gate electrode of said field.

[0006] Thus, in a primitive cell of a constituted semiconductor device, since an input to a gate electrode is performed from contact formed between a P channel MOS transistor and an N-channel metal oxide semiconductor transistor, input time difference to both transistors decreases, and can suppress penetration current. Moreover, since a through hole is also prepared on a gate electrode, a wiring field can also be used effectively. Furthermore, since gate electrode width of face of a field between both transistors is formed widely again, contact and a through hole can be certainly arranged on a gate electrode.

[0007]

[Example] Next, an example is explained. Drawing 1 is drawing showing the configuration of the primitive cell of the fundamental example of the semiconductor device concerning this invention. In drawing, the common gate electrode which formed 1 by polish recon, and 2 A P type diffusion field, The through hole for [3] connection between the 1st-layer wiring and the 2nd-layer wiring in an N type diffusion field and 4, The P channel MOS transistor which 5 is contact for connection between a common gate electrode and the 1st wiring, and consists of said common gate electrode 1 and a P type diffusion field 2, The primitive cell consists of N-channel metal oxide semiconductor transistors which consist of a common gate electrode 1 and an N type diffusion field 3. And in this invention, the width of face of the gate electrode 1 existing, the field, i.e., the field field, between both transistors, is formed more widely than the width of face of the gate electrode 1 which exists in the active field of both transistors so that a through hole 4 and contact 5 can arrange certainly on the gate electrode 1 between a P channel MOS transistor and an N-channel metal oxide semiconductor transistor.

[0008] Thus, in the constituted primitive cell, the input to the gate electrode 1 is performed through contact 5, since polish recon resistance of the signal path transmitted to a P channel MOS transistor and an N-channel metal oxide semiconductor transistor becomes almost the same from contact 5, the time difference of an input signal is lost and penetration current is controlled. Moreover, since contact 5 and the formation field of a through hole 4 turn into only a center-section field of the gate electrode 1, a wiring field can also be used effectively.

[0009] Next, the concrete example of this invention is explained based on drawing 2. In drawing, contact for a P type diffusion field and 13 to connect an N type diffusion field, and for the common gate electrode which formed 11 by polish recon, and 12 connect the 1st-layer wiring 15 and the gate electrode 11, as for 14, and 16 are the through holes for connecting the 1st-layer wiring 15 and the 2nd-layer wiring 17. They are power supply Rhine formed with contact for contact for 18 to connect the P type diffusion field 12 and the 1st-layer wiring 15 and 19 to connect the N type diffusion field 13 and the 1st-layer wiring 15 and the 1st-layer wiring which 20 crosses the P type diffusion field 12, and is arranged, and the ground line which 21 crosses the N type diffusion field 13, and is arranged and which was similarly formed with the 1st-layer wiring.

[0010] The primitive cell in this example is wired with the 1st-layer wiring and the 2nd-layer wiring like illustration, the inverter is constituted, it is inputted from the 2nd-layer wiring 17, and a reversal signal is outputted from the 1st-layer wiring 15 connected to the contact 18 of the P type diffusion field 12, and the contact 19 of the N type diffusion field 13. The input to the gate electrode 11 is inputted in the order to the layer [2nd-layer wiring 17 → / the 1st layer] wiring 15 → gate electrode 11, and connection of the 1st-layer wiring 15 and the 2nd-layer wiring 17 and connection of the 1st-layer wiring 15 and the gate electrode 11 are made by the through hole 16 and contact 14 which have been arranged on the gate electrode 11 currently formed broadly, respectively. and the common gate electrode 11 — since the input is mostly performed from the center section, switching of a P channel MOS transistor and an N-channel metal oxide semiconductor transistor is mostly performed to coincidence, and penetration current can be

reduced.

[0011]

[Effect of the Invention] Since it is arranged on the gate electrode field which could control the penetration current of the complementary MOS transistor which constitutes a primitive cell, and made a through hole and contact broad since the input to a common gate electrode was performed through the contact of a gate electrode mostly arranged in the center section according to this invention as explained based on the example above, a through hole and contact can be formed certainly and can use a wiring field effectively.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of the primitive cell of the fundamental example of the semiconductor device concerning this invention.

[Drawing 2] It is drawing showing the configuration of the primitive cell in the concrete example of this invention.

[Drawing 3] It is drawing showing the example of a configuration of the primitive cell of the semiconductor device of the conventional master slice method.

[Description of Notations]

1 Common Gate Electrode

2 P Type Diffusion Field

3 N Type Diffusion Field

4 Through Hole

5 Contact

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 4 8 0 2 2

(43) 公開日 平成 5 年 (1 9 9 3) 2 月 2 6 日

(51) Int. Cl. ⁵

識別記号

庁内整理番号

F I

技術表示箇所

H01L 27/092

27/118

29/784

7342-4M

H01L 27/08

321

J

9163-4M

21/82

M

審査請求 未請求 請求項の数 1 (全 4 頁) 最終頁に続く

(21) 出願番号 特願平 3 - 2 3 1 0 6 6

(22) 出願日 平成 3 年 (1 9 9 1) 3 月 2 0 日

(71) 出願人 0 0 0 0 0 3 7 6

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号

(72) 発明者 郷原 実

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オ

リンパス光学工業株式会社内

(72) 発明者 山腰 由紀夫

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オ

リンパス光学工業株式会社内

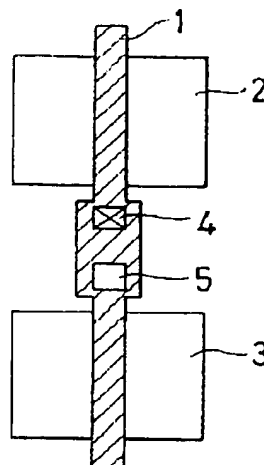
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 基本セルを構成する相補型 MOS トランジスタの入力信号時間差に基づく貫通電流を抑制したマスタースライス方式の半導体装置を提供する。

【構成】 P チャネル MOS トランジスタを構成する P 型拡散領域 2 と N チャネル MOS トランジスタを構成する N 型拡散領域 3 に共通ゲート電極 1 を配置し、P 型拡散領域 2 と N 型拡散領域 3 の間の領域に存在するゲート電極の幅を該両領域 2、3 に存在するゲート電極の幅より大にして、その幅広のゲート電極 1 上に、ゲート電極 1 と第 1 層配線とを接続するコンタクト 5 と、第 1 層配線と第 2 層配線とを接続するスルーホール 4 を設ける。



1: 共通ゲート電極

2: P 型拡散領域

3: N 型拡散領域

4: スルーホール

5: コンタクト

【特許請求の範囲】

【請求項 1】 少なくとも 1 個の P チャネル MOS トランジスタと少なくとも 1 個の N チャネル MOS トランジスタを一对としそれぞれのゲート電極を共通にして構成されている基本セルを備えたマスタースライス方式の半導体装置において、前記基本セルを構成するゲート電極を共通とした相補型 MOS トランジスタのフィールド領域に存在するゲート電極の幅を、アクティブ領域に存在するゲート電極の幅より広く構成し、前記フィールド領域のゲート電極上に、第 1 層配線とゲート電極とを接続するためのコンタクトと、第 1 層配線と第 2 層配線とを接続するスルーホールを設けたことを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 この発明は、複数の基本セルを配列してなるマスタースライス方式の半導体装置に関する。

【 0 0 0 2 】

【従来の技術】 従来のマスタースライス方式の半導体装置における基本セルの構造は、例えば特開昭 5 4 - 9 3 3 7 5 号公報等に記載されており、その基本セルのレイアウトを図 3 に概略的に示す。図において、51 はポリシリコンで形成した共通ゲート電極、52 は第 1 層配線（第 1 アルミ配線）で形成された電源ライン、53 は同じく第 1 層配線で形成されたグラウンドライン、54 は P 型拡散領域、55 は N 型拡散領域、56 はゲート電極 51 と第 1 層配線とを接続するためのコンタクトである。そして基本セルは、ゲート電極 51 と P 型拡散領域 54 からなる 1 個の P チャネル MOS トランジスタと、ゲート電極 51 と N 型拡散領域 55 からなる 1 個の N チャネル MOS トランジスタとで構成され、ゲート電極 51 と第 1 層配線との接続のためのコンタクト 56 は、ゲート電極 51 の両端と P チャネル MOS トランジスタと N チャネル MOS トランジスタの間の領域に、それぞれ 1 個ずつ設けられている。また P チャネル MOS トランジスタ領域上に設けられた電源ライン 52 で P チャネル MOS トランジスタのウェルに電源電位を供給し、N チャネル MOS トランジスタ領域上に設けられたグラウンドライン 53 で N チャネル MOS トランジスタのウェルにグラウンド電位を供給するようになってい

【 0 0 0 3 】

【発明が解決しようとする課題】 しかしながら従来の構成のマスタースライス方式の半導体装置における基本セルにおいては、ゲート電極の両端のコンタクトを介して接続された第 1 層配線より信号が入力されると、P チャネル MOS トランジスタと N チャネル MOS トランジスタとに信号が伝搬する時間が、ゲート電極を構成するポリシリコンの抵抗分のために差が生じ、貫通電流もその分多く流れる。また複数層の配線を用いる場合、基本セ

ルの領域外にその接続のためのスルーホールを設ける必要があるため、その配線領域に制限が生ずる。また自動配置配線でゲートを配線として用いる場合があるが、その場合ゲート電極のポリシリコンの抵抗分のため、ゲート電極通過後の信号はゲート電極通過前の信号より遅れ、同じ信号でタイミングのずれが生ずる。

【 0 0 0 4 】 本発明は、従来のマスタースライス方式の半導体装置における上記問題点を解消するためになされたもので、配線領域を有効に利用でき、且つ相補型 MOS トランジスタへの入力信号時間差を少なくできるようにしたマスタースライス方式の半導体装置を提供することを目的とする。

【 0 0 0 5 】

【課題を解決するための手段及び作用】 上記問題点を解決するため、本発明は、少なくとも 1 個の P チャネル MOS トランジスタと少なくとも 1 個の N チャネル MOS トランジスタを一对としそれぞれのゲート電極を共通にして構成されている基本セルを備えたマスタースライス方式の半導体装置において、前記基本セルを構成するゲート電極を共通とした相補型 MOS トランジスタのフィールド領域に存在するゲート電極の幅を、アクティブ領域に存在するゲート電極の幅より広く構成し、前記フィールド領域のゲート電極上に、第 1 層配線とゲート電極とを接続するためのコンタクトと、第 1 層配線と第 2 層配線とを接続するスルーホールを設けるものである。

【 0 0 0 6 】 このように構成した半導体装置の基本セルにおいては、ゲート電極への入力 P チャネル MOS トランジスタと N チャネル MOS トランジスタの間に設けられたコンタクトから行われるので、両トランジスタへの入力時間差は少なくなり貫通電流を抑えることができる。またスルーホールもゲート電極上に設けられているので配線領域も有効に利用できる。更にはまた両トランジスタ間の領域のゲート電極幅は広く形成されているので、コンタクト及びスルーホールはゲート電極上に確実に配置することができる。

【 0 0 0 7 】

【実施例】 次に実施例について説明する。図 1 は、本発明に係る半導体装置の基本的な実施例の基本セルの構成を示す図である。図において、1 はポリシリコンで形成した共通ゲート電極、2 は P 型拡散領域、3 は N 型拡散領域、4 は第 1 層配線と第 2 層配線との接続用のスルーホール、5 は共通ゲート電極と第 1 層配線との接続用のコンタクトであり、前記共通ゲート電極 1 と P 型拡散領域 2 とで構成される P チャネル MOS トランジスタと、共通ゲート電極 1 と N 型拡散領域 3 とで構成される N チャネル MOS トランジスタとで基本セルを構成している。そして本発明においては、P チャネル MOS トランジスタと N チャネル MOS トランジスタとの間でスルーホール 4 とコンタクト 5 がゲート電極 1 上に確実に配設できるように、両トランジスタ間の領域、すなわちフィール

ド領域に存在するゲート電極 1 の幅が、両トランジスタのアクティブ領域に存在するゲート電極 1 の幅よりも広く形成されている。

【0008】このように構成した基本セルにおいては、ゲート電極 1 への入力にコンタクト 5 を通して行われ、コンタクト 5 から P チャネル MOS トランジスタと N チャネル MOS トランジスタへ伝達される信号経路のポリシリコン抵抗はほぼ同一となるため、入力信号の時間差はなくなり貫通電流は抑制される。またコンタクト 5 及びスルーホール 4 の形成領域はゲート電極 1 の中央部領域のみとなるので、配線領域も有効に使用できる。

【0009】次に本発明の具体的な実施例を図 2 に基づいて説明する。図において、11 はポリシリコンで形成した共通ゲート電極、12 は P 型拡散領域、13 は N 型拡散領域、14 は第 1 層配線 15 とゲート電極 11 とを接続するためのコンタクト、16 は第 1 層配線 15 と第 2 層配線 17 とを接続するためのスルーホールである。18 は P 型拡散領域 12 と第 1 層配線 15 とを接続するためのコンタクト、19 は N 型拡散領域 13 と第 1 層配線 15 とを接続するためのコンタクト、20 は P 型拡散領域 12 を横切って配置される第 1 層配線で形成された電源ライン、21 は N 型拡散領域 13 を横切って配置される同じく第 1 層配線で形成されたグラウンドラインである。

【0010】この実施例における基本セルは、図示のように第 1 層配線及び第 2 層配線で配線され、インバータを構成しているもので、第 2 層配線 17 より入力され、P 型拡散領域 12 のコンタクト 18 及び N 型拡散領域 13 のコンタクト 19 に接続されている第 1 層配線 15 より、反転信号が出力されるようになっている。ゲート電極 11 への入力は、第 2 層配線 17 → 第 1 層配線 15 → ゲート電極 11 への順

で入力され、第 1 層配線 15 と第 2 層配線 17 の接続、及び第 1 層配線 15 とゲート電極 11 の接続は、それぞれ幅広に形成されているゲート電極 11 上に配置されたスルーホール 16 とコンタクト 14 で行われている。そして共通ゲート電極 11 のほぼ中央部から入力を行っているので、P チャネル MOS トランジスタと N チャネル MOS トランジスタのスイッチングはほぼ同時に行われ、貫通電流を低減することができる。

【0011】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、共通ゲート電極への入力はゲート電極のほぼ中央部に配設されたコンタクトを介して行われるので、基本セルを構成する相補型 MOS トランジスタの貫通電流を抑制することができ、またスルーホールとコンタクトは幅広にしたゲート電極領域上に配設されるので、スルーホールとコンタクトは確実に形成することができ、配線領域を効果的に使用することができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体装置の基本的な実施例の基本セルの構成を示す図である。

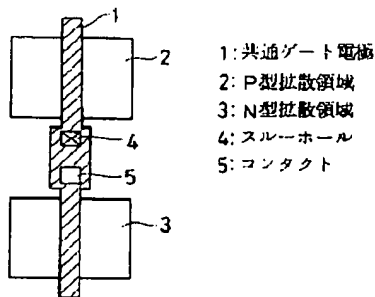
【図 2】本発明の具体的な実施例における基本セルの構成を示す図である。

【図 3】従来のマスタスライス方式の半導体装置の基本セルの構成例を示す図である。

【符号の説明】

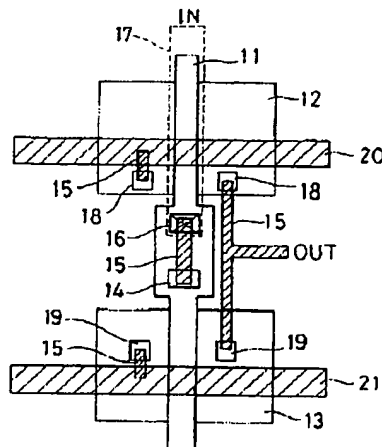
- 1 共通ゲート電極
- 2 P 型拡散領域
- 3 N 型拡散領域
- 4 スルーホール
- 5 コンタクト

【図 1】

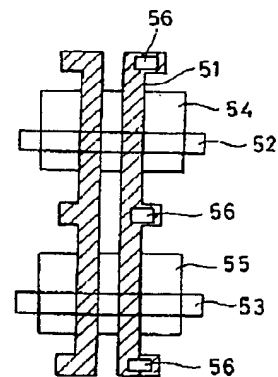


- 1: 共通ゲート電極
- 2: P型拡散領域
- 3: N型拡散領域
- 4: スルーホール
- 5: コンタクト

【図 2】



【図 3】



フロントページの続き

(51)Int.Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

29/78

301

6